

## Verasonics Vantage 외부 동기화 트리거

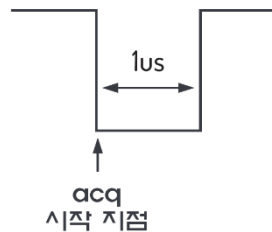
Vantage 시스템은 후면 I/O 패널에 있는 전용 BNC 커넥터를 통해 트리거 입력 및 트리거 출력 기능을 모두 갖추고 있습니다.



### 트리거 출력

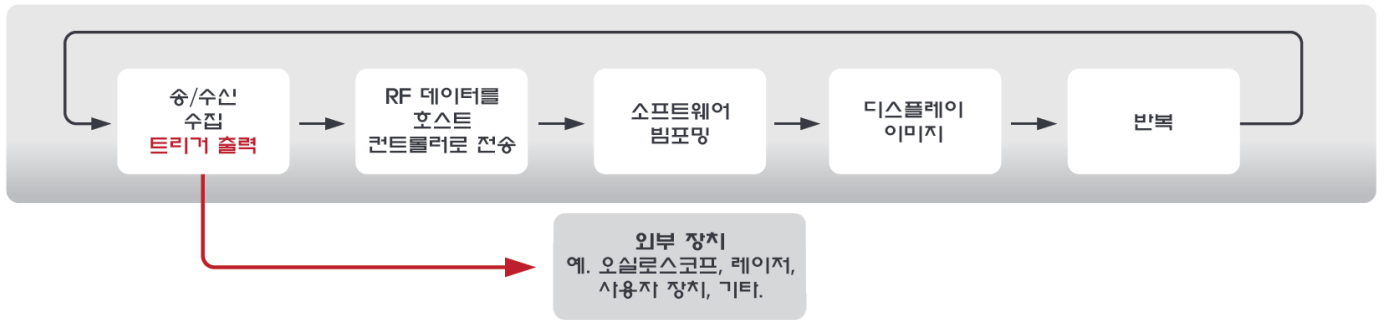
트리거 출력 펄스는  $1\mu\text{s}$ 의 저출력을 제공하는 3.3V LVTTTL-호환 신호입니다. 트리거 펄스는 사용자가 프로그래밍한 일련의 이벤트에 트리거 명령을 배치하여 생성할 수 있습니다. 트리거 출력은 외부 장치와 동기화 할 때 가정적인 양의 지터(jitter)를 제공합니다. 트리거 출력 펄스는 사용자 요구 사항에 맞추기 위해 사용자가 지정한 시간만큼 수집 시작 지점에서 지연될 수 있습니다.

### 트리거 출력



## 예 #1: 외부 장치 트리거

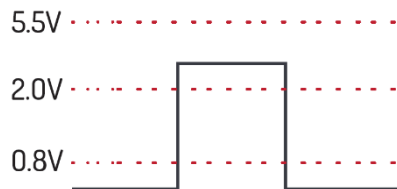
아래의 순서는 송/수신 수집과 동일한 이벤트에 배치된 트리거 출력을 보여 줍니다. 송/수신 이벤트에 출력 트리거를 배치함으로써 송신 시작 및 데이터 수집 시작에 대한 트리거 에지의 가변성은 4나노초 미만으로 매우 작습니다.



## 트리거 입력 1 및 2:

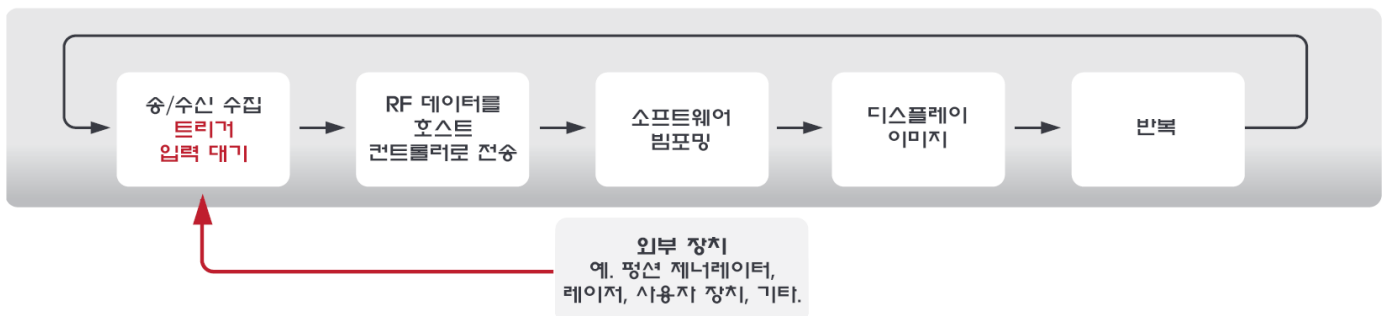
트리거 입력 펄스는 3.3V LVTTTL의 신호 레벨이어야 합니다. 각 트리거 입력은 입력 신호의 상승 에지 또는 하강 에지에서 활성화되도록 프로그래밍 할 수 있습니다. 두 입력이 모두 정의되면 상승 에지 또는 하강 에지에서 위상 정렬되어야 합니다. 시스템이 외부적으로 트리거 되도록 보장하기 위해 저레벨 LVTTTL 신호는 0.8V 이하이어야 하며 고레벨 LVTTTL 신호는 2.0V 이상이어야 합니다. 아래 다이어그램을 참조하십시오. 참고 : 전압 수준은 5.5V를 초과해서는 안 됩니다. 트리거 입력의 타이밍 정확도는 일반적으로 변환기 중심 주파수로 설정되는 ADC 샘플링 속도의 1/4로 결정됩니다.

### 트리거 입력



## 예 #2: 외부 장치에서 트리거 입력 대기

아래의 순서는 송/수신과 동일한 이벤트에 배치된 트리거 입력을 보여줍니다. 시퀀스가 일시 정지되고 계속되기 전에 트리거 입력을 기다립니다. 트리거 타임-아웃은 시퀀스에서 지정되어 "무한 대기" 상태를 피할 수 있습니다.



### 예 #3: 트리거를 이용한 광음향 동기화

아래의 순서는 Q-스위치 레이저를 트리거 입력 및 트리거 출력 기능을 모두 사용하는 Vantage 시스템과 동기화합니다. 시퀀스의 첫 번째 이벤트에는 레이저가 Vantage 시스템을 트리거 할 때까지 기다리는 "트리거 입력 대기"가 뒤따른 2D 수집이 포함됩니다. Vantage가 트리거되면 시퀀스는 레이저를 발사하기 위해 트리거 출력을 보내기 전에 레이저가 펌핑되도록 하드웨어를 일시 중지하고 동시에 송/수신 수집을 시작합니다. 마지막으로, 데이터는 호스트 컴퓨터로 전송되고 처리되어 이미지를 형성합니다.

